

Die Bordrechner der HELIOS-Magnetometer-Experimente E 2 und E 4

F. GLIEM¹, G. DEHMEL², G. MUSMANN³, C. TÜRKE¹, U. KRUPSTEDT¹, R. P. KUGEL¹,

Technische Universität Braunschweig

In die Flugeinheiten der HELIOS-Experimente E2 und E4 sind drei Spezial-Rechner (TAC, SIC, MVC) integriert. Die Rechner-Technologie stützt sich auf die low power TTL-Logik, einen 4 KBit-Kernspeicher und Mehrlagen-Schaltkarten. Die Architektur ist stark beeinflusst durch die Forderung nach niedriger elektrischer Leistungsaufnahme und die Echtzeit-Verarbeitung. Mit dem Verfahren der abgebrochenen seriellen Addition und durch den Entwurf aufgabenorientierter Strukturen wird eine deutliche Einsparung der Leistungsaufnahme erreicht.

Three special purpose computers (TAC, SIC, MVC) are parts of the flight units of the HELIOS-Experiments E2 and E4. The computer technology is based on the low power TTL logic, a 4 KBit-core memory and multilayer boards. The structure is strongly influenced by the low power requirement and the real time processing. Significant power saving is accomplished by the truncated serial addition procedure and the design of task orientated structures.

1. EINORDNUNG UND TECHNOLOGISCHE RESTRIKTIONEN

In Heft 5/1975 wurden die HELIOS-Magnetometer-Experimente E2 und E4 von der Seite der physikalischen Aufgabenstellung, des Meßverfahrens und der Struktur der Meßapparatur beschrieben [1,2]. Die Entwicklung experiment-spezifischer Rechner war eine ganz wesentliche Voraussetzung für die Realisierbarkeit dieser Strukturen, deren wesentliches Merkmal das Anpassen des von den Sensoren erzeugten großen Datenflusses an den geringen Übertrag-

baren ist. Einige Überlegungen und Lösungsverfahren, die für diese Aufgabenklasse typisch sind, sollen im folgenden erläutert werden.

Im einzelnen handelt es sich um den Time Average Computer (TAC) und den Shock Identification Computer (SIC) im Experiment E2 und den Mean Value Computer (MVC) im Experiment E4.

Wichtigster Gesichtspunkt bei der Konzeption dieser Spezialrechner war es, technologische Risiken soweit wie möglich zu vermeiden. Konkret bedeutete dies im Jahre 1971 den Verzicht auf die noch wenig erprobten Adreßspeicher in MOS- und CMOS-Technologie. Hier wurde wie beim S/C-Shock-Speicher auf Ferritkernspeicher zurückgegriffen, deren Technologie nach mehr als 20jähriger Produktge-

¹ Institut für Datenverarbeitungsanlagen der TU Braunschweig.

² Institut für Nachrichtentechnik der TU Braunschweig.

³ Institut für Geophysik und Meteorologie der TU Braunschweig.

schichte sehr gut beherrscht wird. Für die Logik stand mit der low power TTL (LPTTL) eine breit eingeführte Schaltkreisfamilie mit gut dokumentierter Zuverlässigkeitsgeschichte zur Verfügung.

Eine Konsequenz der Entscheidung für LPTTL und Kernspeicher ist, daß die elektrische Leistungsaufnahme die bei weitem kritischste Randbedingungen darstellt, gefolgt vom Gewicht. Nur durch eine unkonventionelle, eigens auf Aufgabenstellung und kritische Randbedingungen zugeschnittene Rechnerarchitektur konnte die angestrebte Leistungsfähigkeit erreicht werden. Damit erhielt die Strukturentwicklung entscheidendes Gewicht. Der MVC des Experimentes 4 ist hierfür ein Beispiel.

2. MEAN VALUE COMPUTER (MVC)

2.1 Aufgabe des MVC

Der Spektralanalysator im Experiment E4 mißt die spektrale Leistungsdichte des „magnetischen Rauschens“ im Frequenzbereich von 4,7 Hz bis 2200 Hz. Die Ausgangsspannungen der Induktionsspulen X und Z werden von Oktavbandfiltern in 2×8 Spektralkanäle zerlegt (BILD 1). In jedem der beiden Zweige X und Z werden die 8 Filterausgangsspannungen von einem ADC abgetastet und linear digitalisiert. Hierzu liefert der MVC die Kanaladresse sowie einige Steuersignale und empfängt die beiden Wandelergebnisse, dargestellt als 8 Bit-Wort plus Meßbereichsbit mit der Wertigkeit 2^5 (Dynamik 0 bis 2^{13}).

Die Adreßfolge ist so, daß für alle Kanäle das den Aliasingfehler bestimmende Verhältnis von Abtastfrequenz zu oberer Eckfrequenz gleich ist (> 3). Bei einer Abstufung der Bandbreiten nach Potenzen von 2 wird das oberste Bandfilter bei jedem 2. Adreßwechsel abgefragt, das nächstniedrigere bei jedem 4. Adreßwechsel usw.

Der Durchsatz des MVC wird durch die Abtastfrequenz von 8 kHz für das oberste Bandfilter bestimmt. Daraus resultiert eine Adreßfolgefrequenz von 16 kHz, so daß je $60 \mu\text{s}$ 2 Abtastwerte (X, Z) zu verarbeiten sind.

Zur Bestimmung der spektralen Leistungsdichte müssen die Abtastwerte unter Beachtung des Meßbereichsbit quadriert und kanalweise akkumuliert werden. Die Mittelungszeit wird dadurch bestimmt, daß der Anteil des MVC am HELIOS-Datenfluß zwischen etwa $1/10$ bei der höchsten Bitrate (2048 bps) und etwa $1/40$ bei der niedrigsten Bitrate (8 bps) liegt. Stellt man die 2×8 Spektralanteile durch 16 9 Bit-Gleitkommazahlen (5 Bit-Exponent, 4 Bit-Mantisse) dar, so ergeben sich Mittelungszeiten zwischen 1 Sekunde und 1024 Sekunden.

Bei der Mittelung geht naturgemäß die in dem Eingangsdatenstrom des MVC noch enthaltene Information über Fluktuationen während der Mittelungszeit verloren. Zur besseren Interpretierbarkeit der Meßergebnisse wird daher simultan mit dem Spektralanteil für jeden Kanal der in der Mittelungszeit vorgekommene Spitzenwert bestimmt und entsprechend seiner Dynamik von 0 bis 2^{13} als Gleitkommazahl mit 4 Bit-Exponent und 2 Bit-Mantisse übertragen.

Über den Ausgang A1 wird ein aus Spektralanteilen, Spitzenwerten und der Mittelungszeit zusammengesetzter Datenblock zur direkten Übertragung abgegeben und dazu asynchron und in schnellerer Folge über C1 ein nur aus „Kurzzeit-Spitzenwerten“ bestehender Datenblock an den S/C-Shockspeicher.

2.2 Strukturbestimmende Elemente

Die Forderung nach Realzeit-Verarbeitung im $60 \mu\text{s}$ -Rhythmus und die Festlegung auf LPTTL und Kernspeicher sind am stärksten strukturbestimmend.

Beim Kernspeicher ist mit jedem Zugriff mindestens ein Energieumsatz $W_{LS} = 1 \dots 2 \mu\text{Ws/Bit}$ verbunden [3], wobei der kleinere Wert zu sehr langsamen Kernen gehört. Die Transferrate ist demnach auf etwa 500 kbps je 1 W Verlustleistung begrenzt. Andererseits benötigt der Kernspeicher

als Strukturspeicher keine Ruheleistung, und bei Kapazitäten unter 100 KBit wächst sein Gesamtgewicht nur sehr langsam mit der Kapazität. Dieser Trend begünstigt die großzügige Verwendung von Zentralspeicherkapazität.

Eingesetzt wurde ein auch in den Experimenten E1 und E6 verwendeter bitorganisierter Kernspeicher mit $W_{LS} = 1,6 \mu\text{Ws/Bit}$, einer Transferrate von 330 kbps, einer Kapazität von 4 KBit und einer einzigen TTL-kompatiblen Versorgungsspannung von 5 V [4,5].

2.3 Serielle, abgebrochene Addition

Die 16 Akkumulationskanäle sind im Speicherbereich ACC angeordnet (BILD 2). Die Kanaltiefe von 49 Bit bestimmt sich aus der 2×13 Bit-Dynamik der quadrierten Abtastwerte und den 2^{23} möglichen Akkumulationen im höchsten Spektralkanal ($8 \text{ kbps} \times 1024 \text{ s}$).

Die kleinste Zahl von Bitoperationen im Speicher liefert das Verfahren der seriellen abgebrochenen Addition [6]. Stellt man den quadrierten Abtastwert A^2 als Gleitkommazahl mit dem Exponenten E und der Mantisse M dar,

$$A^2 = 2^E \cdot M \quad (1)$$

so können durch die Addition nur die Summenstellen $> E$ verändert werden (Zählung der Stellen beginnt mit 1, BILD 3). Die serielle Addition kann also mit dem Lesen und Rückschreiben der Summenstelle $E + 1$ begonnen werden. Bei einer Mantisse mit m-Stellen wird im Mittel bei der Hälfte der Akkumulationen kein Überlauf in die Stelle $E + m + 1$ eintreten, bei $1/4$ der Akkumulationen der Überlauf in der Stelle $E + m + 1$ enden, bei $1/8$ der Akkumulationen in der Stelle $E + m + 2$ usw.

Die Wahrscheinlichkeit dafür, daß der Überlauf in der Stelle $E + m + n$ endet, ist

$$\text{Pr}(E + m + n) = \text{Pr}_n = \left(\frac{1}{2}\right)^{n+1}; n \geq 0 \quad (2)$$

Bricht man die serielle Addition mit dem Verschwinden des Überlaufs ab, so werden im Mittel von der Akkumulation nur $m + 1$ Speicherzellen angesprochen. Wählt man $m = 5$ für den Summanden in Anlehnung an die 4 Bit-Mantisse bei der Übertragung der Summe, so muß man im Mittel nur 6 Speicherzellen ansprechen gegenüber 49 bei konventioneller Addition. Auf 2 Akkumulationen in $60 \mu\text{s}$ entfällt damit nur ein Verlustleistungsanteil von

$$P_{\text{acc}} = 6 \cdot 1,6 \mu\text{Ws} \cdot \frac{2}{60 \mu\text{s}} \approx 0,3 \text{ W}$$

gegenüber 3 W bei konventioneller Addition.

Bei der Speichertransferrate von 330 kbps fallen 20 Speicherzyklen in $60 \mu\text{s}$. Für die beiden Akkumulationen werden im Minimum $2 \times 5 = 10$ Zyklen benötigt, für die Spitzenwertbestimmung weitere 2 Zyklen. Die Wahrscheinlichkeit dafür, daß die beiden Akkumulationen für die Abarbeitung ihrer Überläufe mehr als $i + j = 8$ Zyklen brauchen, ist sehr klein:

$$\text{Pr}(> 8) = 1 - \sum_{i=0}^8 \sum_{j=0}^{8-i} \text{Pr}_i \cdot \text{Pr}_j \approx 1\% \quad (3)$$

In diesem seltenen Fall bleibt der nächste Abtastwert unberücksichtigt. Der damit verbundene Fehler ist im Hinblick auf die 6%-Auflösung bei der Übertragung der Summen ($m = 4$) vernachlässigbar.

2.4 Gleitkommawandlung und Spitzenwertbestimmung

Während der Akkumulation wird von dem vorgelagerten Prozessor PR 2 (BILD 1) der nächste Abtastwert übernommen, unter Berücksichtigung des Meßbereichsbit durch wiederholtes Linksschieben in eine Gleitkommazahl konvertiert und quadriert. Die Quadratur der Mantisse erfolgt aus Ge-

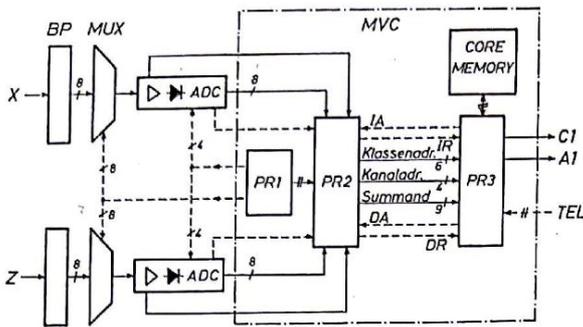


BILD 1: Blockschaltbild des MVC

IR, DR: Interrupt (Data) requested
IA, DA: Interrupt (Data) accepted

schwindigkeitsgründen einschrittig durch ein Schaltnetz (Quadrattabelle), die des Exponenten durch Linksschieben. Der Spitzenwert aus der Folge von 13 Bit-Zahlen wird — wie schon erwähnt — mit 4 Bit-Exponent und 2 Bit-Mantisse übertragen. Es werden 48 Spitzenwert-Klassen unterschieden. Eine konventionelle Maximumbestimmung durch Vergleich mit dem bisherigen Maximalwert würde zwar nur 16×6 Bit-Speicherkapazität benötigen, macht aber je Vergleich 6 Bitoperationen im Speicher nötig. Dagegen ist hier jeder Spitzenwert-Klasse eine eigene Speicherzelle zugeordnet, die von der zugehörigen Gleitkommazahl (Kanaladresse) adressiert und markiert wird. Das erfordert mit 16×48 Bit zwar den achtfach größeren Speicherbereich IMS, aber je Vergleich nur eine Bitoperation. Die Spitzenwertbestimmung erfolgt am Ende jedes C1-Datenblocks mit dem Suchprogramm MXS, das kanalweise von der höchstwertigen Speicherzelle aus die erste Markierung sucht. Dem Prozessor PR2 ist ein weiterer Prozessor PR1 vorgelegt, der die Adressen und Steuersignale für die ADC liefert. PR1 bis PR3 arbeiten als Pipeline: Während PR1 die Wandlung der Abtastwerte X_n, Z_n steuert, werden in PR2 die vorhergehenden Abtastwerte X_{n-1}, Z_{n-1} und in PR3 die Abtastwerte X_{n-2}, Z_{n-2} verarbeitet. PR1 und PR2 arbeiten synchron und asynchron zur PR3. Zur Spitzenwert-Markierung unterbricht PR2 für einen Speicherzyklus die in PR3 laufende Akkumulation (Interrupt). Der Transfer des quadrierten Abtastwertes (Summand) von PR2 nach PR3 wird nach dem „handshaking“-Prinzip durch Austausch der beiden Flags „Data Ready“ und „Data Accepted“ gesteuert.

2.5 Programmebenen

Während in den Prozessoren PR1 und PR2 nur je ein festverdrahtetes Programm abläuft, sind in PR3 sieben Programme verdrahtet:

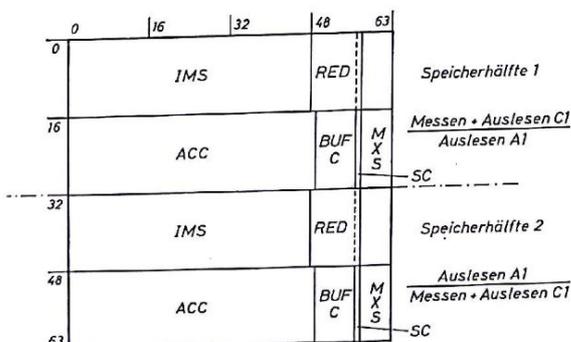


BILD 2: Belegung des Kernspeichers

- ACC Akkumulation im Speicherbereich ACC.
- SC Zählen der Abtastzyklen im Speicherbereich SC (Mittelungszeit).
- RED Reduktion der Akkumulationsergebnisse und der Mittelungszeit zu 9 Bit-Gleitkommazahlen und Zwischen-speicherung im Speicherbereich RED.
- MXS Spitzenwertsuche im Speicherbereich IMS, Zwischen-speichern des Kurzzeit-Spitzenwertes im Speicherbereich BUFC, Maximumvergleich mit dem bisher größten Kurzzeit-Spitzenwert im Speicherbereich MXS.
- IMS Markieren der Spitzenwert-Klasse im Speicherbereich IMS.
- ISD Transfer eines Wortes aus dem Speicherbereich RED bzw. MXS zum Interface-Register A1 (Real-Time-Telemetrie).
- ISH Transfer eines Wortes aus dem Speicherbereich BUFC zum Interface-Register C1 (Shock-Mode-Telemetrie).

Jeweils eine Speicherhälfte ist der laufenden Messung und der Bedienung des Ausgangs C1 aus BUFC zugeordnet, während die andere Speicherhälfte aus RED und MXS den Ausgang A1 bedient. Am Beginn jeder Messung wird die Zuordnung der Speicherhälften vertauscht.

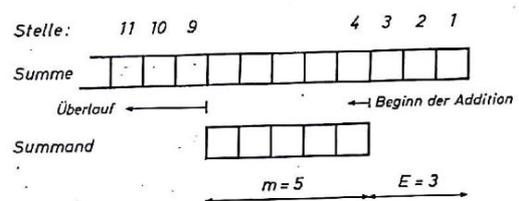


BILD 3: Abgebrochene Addition

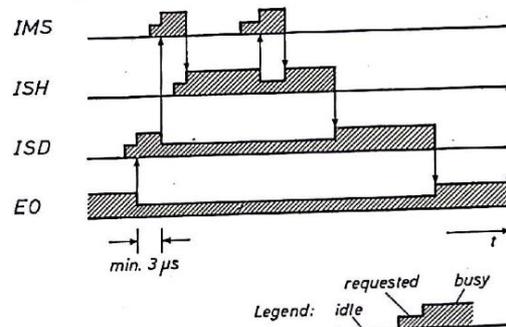


BILD 4: Interruptebenen

Der Programmwechsel ist auf zweierlei Weise organisiert (BILD 4). Die vier zuerst genannten Programme laufen in der untersten Programmebene EO und werden von einem Organisationsprogramm verwaltet, das ihre Folge nach dem Status eines Programmfolge-Registers organisiert (Hardware-Warteschlange). Der Telemetriestatus hat Zugriff zum Programmfolgeregister und steuert so die Anpassung der Messung an die Übertragungskapazität. Am Ende der Meßzeit wird durch den Ablauf der Programme RED und MXS die Akkumulation für etwa 3 ms unterbrochen. Für den Mittelwert ist diese Meßblöcke ebenso wie die gelegentlichen Samplerverluste bei der Akkumulation vernachlässigbar. Der Programmebene EO sind mit aufsteigender Priorität die Ebenen ISD, ISH und IMS überlagert. Da IMS nicht den

Ablauf eines Interrupts niedrigerer Priorität abwarten kann, muß die Bildung von Interruptnestern möglich sein. Nach jedem Speicherzyklus ist Interrupt möglich. Hierzu werden die ebenenspezifischen Registersätze umgeschaltet. Die Latenzzeit von nur $3 \mu\text{s}$ gewährleistet die verlustlose Speicherung aller Spitzenwert-Markierungen und die rechtzeitige Bedienung der Telemetrie.

3. TAC und SIC (TIME AVERAGE COMPUTER und SHOCK IDENTIFICATION COMPUTER)

Bei E2 müssen nur 3 den Raumrichtungen zugeordnete Kanäle unterschieden werden anstelle der 16 Kanäle bei E4. Der Speicherbedarf ist damit wesentlich geringer und kann innerhalb des Verlustleistungsbudgets durch Schieberegister dezentral implementiert werden. Mittelwertbildung und Stoßwellenerkennung konnten daher mit vollständig entkoppelten Prozessoren realisiert werden. Die Konzeption und die Prozeduren sind schon in [1] beschrieben worden. Der zu verarbeitende Datenfluß ist mit 240 bps sehr niedrig im Vergleich zu $3 \cdot 10^5$ bps beim MVC, so daß eine vollserielle Verarbeitung durch wiederholtes Anwenden primitiver Operationen (Serial Add, Shift) möglich ist. Die damit verbundene Aufblähung in der Zahl der durchlaufenen Programmzustände stört wegen der reichlich zur Verfügung stehenden Verarbeitungszeit nicht.

4. DIE STRUKTUR AUS HEUTIGER SICHT

Seit dem Einfrieren des Entwurfs im Jahre 1971 hat sich die Technologie stürmisch weiterentwickelt. Schaltkreise und Speicher in MOS-Technik sind – von Anwendungen mit starker Strahlungsbelastung abgesehen – voll etabliert. Der Integrationsgrad der digitalen Bausteine ist erheblich gewachsen. LSI-Bausteine* ermöglichen eine wesentlich bessere Ausnutzung von Gewicht und Verlustleistung als die SSI- und MSI-Bausteine bei HELIOS. Aber auch mit modernen Prozessor- und Speicherbausteinen läßt sich der MVC innerhalb der Randbedingungen nicht durch eine konventionelle Einprozessorstuktur realisieren. Die beste Lösung nach dem heutigen Stand der Technik ist wohl eine Pipeline aus mehreren LSI-Prozessoren mit CMOS-Adreßspeicher.

Die Strukturen von TAC und SIC sind ähnlich der eines modernen Taschenrechners und können heute durch einen LSI-Prozessor mit etwa 40 zusätzlichen Bausteinen realisiert werden.

5. AUFBAUTECHNIK

Die bei der Digitalelektronik der Experimente E2, E4 und E6 einheitlich angewandte Aufbautechnik ermöglichte eine hohe Packungsdichte. Auf einer Multilayerplatine mit den Kantenmaßen $11 \times 9 \text{ cm}$ sind 42 Flatpack-Bausteine mit jeweils bis zu 16 Anschlüssen in einem starren Raster flach

* LSI – MSI – SSI: Large (Medium, Small) Scale Integration.

aufgelötet. Die Signalleitungen liegen auf den beiden Außenlagen und in 2 Innenlagen. Zwei weitere Innenlagen werden für Stromversorgung und Erdnetz benutzt. Leiterbahnbreite und Leiterbahnabstand betragen $0,3 \text{ mm}$, die Kontaktierungsaußen haben $0,7 \text{ mm}$ Innendurchmesser und $1,25 \text{ mm}$ Außendurchmesser. Eine ebenfalls als Multilayer ausgeführte Mutterplatine verbindet die Platinen (TAC: 5, SIC: 6, MVC: $6 + 4$ für Kernspeicher) untereinander über 80polige Milstrip-Stecker, die ein sehr dichtes Kartenraster ($\geq 5 \text{ mm}$) zulassen.

Der manuelle Entwurf des Leiterbahnbildes, das anschließende Kleben der im Maßstab 8:1 etwa 1 m^2 großen Vorlagen und das deckungsgenaue Verkleinern sind zeitraubend, fehlerträchtig und lohnintensiv (etwa 1 Mann/Monat je Platine). Abhilfe hat hier das auf Multilayerplatinen mit Flatpack-Bestückung zugeschnittene rechnergestützte Entwurfssystem ARMIN gebracht [7]. Der Zeitaufwand vom Ablochen der Verbindungsliste bis zum Vorliegen der im Maßstab 1:1 geplotteten Masken und des Bohrlochstreifens ist dadurch auf etwa 2 Tage geschrumpft. Außerdem werden Fehler in den Verbindungslisten durch eingebaute Kontrollen weitgehend eliminiert.

6. SCHLUSSBEMERKUNGEN

Zur Entwicklung leisteten die Fa. Fuba (Multilayer), Fa. Lewicki (Dickfilm-Technik für Kernspeicher) und die Fa. Siemens AG (Kernspeichermatrizen) wichtige technische Beiträge. Fertigung und Test der Flugeinheiten lag für das Experiment 2 bei der Fa. Martin Pfeil, für das Experiment 4 bei der Fa. Dornier System. Alle Einheiten arbeiten bisher einwandfrei.

Vorentwicklung, Entwicklung und Fertigung wurden im Rahmen des Projektes HELIOS von der Gesellschaft für Weltraumforschung im Auftrage des Bundesministeriums für Forschung und Technologie gefördert.

LITERATUR:

- [1] MUSMANN, G., NEUBAUER, F. M., MAIER, A., LAMMERS, E.: Das Förstersonden-Magnetfeldexperiment (E2), Raumfahrtforschung 1975, Heft 5, S. 232–237.
- [2] DEHMELE, G., NEUBAUER, F. M., LUKOSCHUS, D., WAWRETZKO, J., LAMMERS, E.: Das Induktionsspulen-Magnetometer-Experiment (E4), Raumfahrtforschung 1975, Heft 5, S. 241–247.
- [3] GÄRTNER, M., GLIEM, F.: Kern- und Drahtspeicher mit geringer Verlustleistung, Forschungsbericht Weltraumforschung W 74-05, Juli 1974.
- [4] GÄRTNER, M., GLIEM, F., SCHLENTHER, M., TSCHEUSCHNER, C.: 4 KBit-Kernspeicher für HELIOS, Forschungsbericht Weltraumforschung W 74-06, September 1974.
- [5] RABL, H.: Ferritkern-Speicherplatten für extreme Umweltbedingungen, Siemens-Zeitschrift, 1973, S. 873–874.
- [6] LEILICH, H.-O.: Verkürztes Zählverfahren für Matrixspeicher, Technischer Bericht DA-69/5, Institut für DV-Anlagen der Technischen Universität Braunschweig, 1969.
- [7] KRUPSTEDT, U.: Ein interaktives Entwurfssystem zur Leitungswegbestimmung bei Mehrlagen-Schaltkarten, Diss. TU Braunschweig, 1975.